

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-133708

(43)Date of publication of application : 06.06.1988

(51)Int.Cl.

H03F 3/45

(21)Application number : 61-280991

(71)Applicant : NEC CORP

(22)Date of filing : 25.11.1986

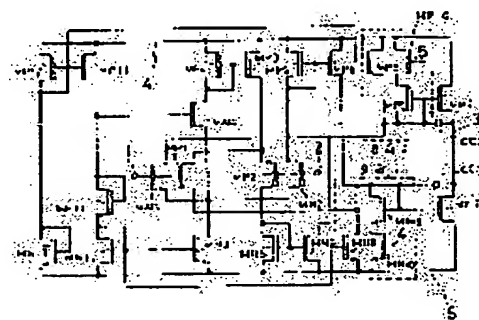
(72)Inventor : YUGAWA AKIRA

(54) OPERATIONAL AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To prevent the occurrence of switching noise by constituting a circuit so that it does not do a switching action if I/O voltages fall in the center of a power source voltage.

CONSTITUTION: With MOSFETs MN1 and MN2 turned off, a current from a constant current source MN3 flows to a MOSFET MP4 through a MOSFET MN4. Due to a current mirror action, the same current as that flowing in the FET MP4 flows in a MOSFET MP3 as well. When an input voltage with the same phase rises, a current begins to flow in the FETs MN1 and MN2. The current flowing in the FETs MN1 and MN2 flows directly to a 2nd load circuit with respect to the FET MN1, while the current flows to a 1st load circuit through a 2nd current mirror circuit with respect to the FET MN2. Both of them are synthesized so as to compensate a reduction in the current flowing in a pair of 2nd differential amplifier circuits. When the input voltage with the same phase further rises, the FET MN4 is turned off, and all the currents in the FET MN3 flow to the FETs MN1 and MN2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-133708

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)6月6日

H 03 F 3/45

A-6628-5J

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 演算増幅回路

⑮ 特 願 昭61-280991

⑯ 出 願 昭61(1986)11月25日

⑰ 発 明 者 湯 川 彰 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 本庄 伸介

明 細 書

1. 発明の名称

演算増幅回路

2. 特許請求の範囲

一対の入力端子と；そのおのおのに制御電極が接続されソース電極が共通に接続された第一の極性を有するトランジスタ対からなる第一の差動対と；前記第一の差動対と制御電極を共通にしソース電極が共通に接続された第二の極性を有するトランジスタ対からなる第二の差動対と；第一の電圧源と；一端が前記第一の差動対の共通接続ソース電極に接続され他端が前記第一の電圧源に接続された第一の電流源と；第二の電圧源と；基準電圧源と；制御電極が前記基準電圧源に接続されソース電極が前記第一の差動対の共通接続ソース電極に接続された第一の極性を有するトランジスタと；このトランジスタのドレイン電極を入力とし前記第二の電圧源を基準電極とし出力を前記第二

の差動対の共通接続ソース電極に接続された第一の電流ミラー回路と；前記第一の差動トランジスタ対の一方のドレイン電極を入力とし、前記第二の電圧源を基準電極とし、前記第二の差動トランジスタ対のうち制御電極を具にするトランジスタのドレイン電極に出力が接続された第二の電流ミラー回路と；前記第二の差動トランジスタ対の他方のドレイン電極を入力とし、前記第一の電圧源を基準電極とし、前記第一の差動トランジスタ対のうち制御電極を具にするトランジスタのドレイン電極に出力が接続された第三の電流ミラー回路と；一端が前記第二の電流ミラー回路に接続され他端が第一の電圧源に接続された定電流源、この定電流源と並列にダイオード接続された第一の極性を有するトランジスタ、このトランジスタのソース電極と前記第一の電圧源との間に接続された抵抗からなる第一の負荷回路と；一端が前記第三の電流ミラー回路に接続され他端が第二の電圧源に接続された定電流源、この電流源と並列にダイオード接続された第二の極性を有するトランジ

タ、このトランジスタのソース電極と前記第二の電圧源との間に接続された抵抗からなる第二の負荷回路と；前記第一の負荷回路の出力に制御電極が接続され前記第一の電圧源にソース電極が接続された第一の極性を有する第一の出力トランジスタと；前記第二の負荷回路の出力に制御電極が接続され前記第二の電圧源にソース電極が接続されドレイン電極を前記第一の出力トランジスタと共通にする第二の極性を有する第二の出力トランジスタと；前記第一及び第二の出力トランジスタの共通ドレイン電極と前記第二および第三の電流ミラー回路との間にそれぞれ接続されている位相補償容量とを有することを特徴とする演算増幅回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、集積回路上に構成する演算増幅回路、特に、入力および出力電圧範囲が電源電圧いっぱいまで安定に動作し大きな負荷を駆動する

る。すると前記差動増幅回路は正常に動作しなくなる。さらに同相電圧が上昇するとMP101およびMP102がオフしてこの回路はまったく働かなくなる。したがって、この回路の同相入力電圧の上限は、端子4に加える電圧より入力トランジスタMP101およびMP102のしきいち電圧だけ低い電圧からさらに通常1V程度低い電圧以下でしか動作しない。この電圧はだいたい2Vで、最近の高集積回路に加えられる電圧が5V程度であるので、動作範囲は非常に限られることになってしまう。さらに、出力段の駆動はMN103だけであり、電流供給は定電流源として動作するMP105であるので、大きな容量性負荷を接続したときには出力電圧の立上がりは定電流源の電流供給能力で決まってしまう。したがって、駆動能力を上げるためには消費電力の著しい増大を招いてしまう。動作範囲を広げる回路として第3図の回路が提案されている。この回路の入力段は、PチャンネルMOSトランジスタを入力とする差動増幅器と、NチャンネルMOSトランジスタを入力と

能力を有する演算増幅回路に関する。

(従来の技術とその問題点)

従来、MOS集積回路上に構成する演算増幅回路として、第2図に示す回路がよく知られている。この回路は、PチャンネルMOSトランジスタMP101およびMP102を入力トランジスタとしMP102を定電流源とした差動対にNチャンネルMOSトランジスタMN101およびMN102により構成される電流ミラーを負荷とする差動増幅回路に、PチャンネルMOSトランジスタMP105を定電流負荷としNチャンネルMOSトランジスタMN103を入力トランジスタとする反転増幅器が接続され、この反転増幅器の入力と出力の間にRCとCCによる位相補償回路が付加されたものである。この回路は、最低入力電圧に関しては端子5に印加される電位まで動作するが同相入力電圧の上限は次のようなメカニズムでできる。同相入力電圧が上昇して行くと、MP103のドレイン電圧が上昇し、しまいにはMP103が定電流源として動作しなくなり、供給される電流が減少す

する差動増幅器を組合せたもので、第2図の回路で片方の定電流回路が動作しなくなった時もう一方を動作させるようにしたもので、1983年アイイーイージャーナルオブソリッドステートサーキット (IEEE Journal of solid state circuit) の2月号36頁に記載されている。この回路は、第2図の回路よりいくらかは動作範囲が広いが、それでも電源電圧5Vの時1.2Vから4.7Vまでしか動作しないことが記載されている。この回路も、負荷駆動能力を大きく取るためにMP206とMN206の相互コンダクタンスを大きくすると、消費電力の著しい増大を招いてしまう。

第4図は1985年インターナショナルソリッドステートサーキットコンファレンスダイジェストオブテクニカルペーパーズ (ISSCC '85 DIGEST OF TECHNICAL PAPERS) の137頁に記載されている公知の回路である。この回路の入力段も、pnptランジスタを入力とする差動増幅器と、npntランジスタを入力とする差動増幅器を組合せたもので、二つのモードで動作する。まず、第一のモードは入力電圧が端子306の基準電圧より低い時

で、このときにはトランジスタQ5がオフとなりQ6およびQ7により作られる電流ミラーには電流が流れない。したがって、I₁を定電流源とし、Q1およびQ2を入力トランジスタとし、Q8, Q9, Q10, Q11およびR8, R9, R10, R11により構成されるいわゆるフォールデッドカスコード段を負荷とする増幅回路として動作する。したがって、この増幅回路の動作下限電圧は端子5に印加される電圧までである。つぎに第二のモードにはいるのは、同相入力電圧が上昇して定電流源I₁が動作しなくなる前にトランジスタQ5が導通するときである。するとI₁はQ1およびQ2を流れずにQ5を流れ、Q1およびQ2を入力とする差動増幅回路は動作を止める。この電流はQ6およびQ7により構成される電流ミラーによりQ3およびQ4に電流を流す。このときにはQ3およびQ4を入力トランジスタとするいわゆるフォールデッドカスコード差動増幅器となる。したがって、この時の動作上限電圧は端子4に印加される電圧である。すなわち、この増幅器

的には差動増幅器A1により増幅される端子1、2より入力される信号をMP401を駆動トランジスタとし、MN401を低電流源負荷とする反転増幅器によりさらに増幅される。この増幅された電圧を差動増幅器A3とMP7による電圧フォロア回路ともう一つの差動増幅器A3とMN7による電圧フォロア回路により出力の低インピーダンス化を図っている。MN402からMN406およびMP402は、A2とA3のオフセット電圧の具合により、MP7とMN7に異常に大きい電流が流れてしまう場合があり、これを避けるための回路である。この回路は、電流電圧がある程度大きければ、大きな駆動能力を実現できるが、A2およびA3の差動増幅器に第2図の回路を用いるならば同相入力範囲に上限と下限を生じるため出力電圧範囲にも必然的に限度を生じてしまう。さらに、異常電流が流れることを阻止する回路の影響により、電源電圧の中心付近で大きな歪を生ずることが避けられない欠点を有している。

従来技術による回路ではこのように入力動作範

は電源電圧範囲いっぱいまで入力範囲を持っている。しかし、この回路は前述した二つのモードが切り変わるとき問題である。すなわち、第一のモードではR10およびR11を流れる電流はそれぞれすべてQ10およびQ11に流れ、Q1およびQ2を流れる電流はすべてそれぞれR8およびR9に流れる。したがって、R8を流れる電流は、R10を流れる電流とQ1を流れる電流の和である。次に第二のモードでは、R10を流れる電流は、R8を流れる電流とQ3を流れる電流である。この二つのモードでR8およびR10を流れる電流が変化するため入力電圧がこの電圧を横切るとき出力にスイッチング雑音が発生させることが避けられない。したがって、増幅器として動作させたとき波形歪を生ずる欠点を有する。

低電力で大きな負荷を駆動する回路として第5図に示される回路が提案されている。この回路は、1983年12月号のアイーイーイー ジャーナル オブ ソリッドステート サーキット (IEEE Journal of solid state circuit) に詳しく記載されているので詳細は省くが、基本

回路の制限もしくはスイッチング雑音の発生は避けられなかった。本発明の目的は、かかる従来技術の問題点を解決し、入力動作の範囲を電源電圧いっぱいまで拡大するとともに波形歪も発生しない回路を提供することにある。

(問題点を解決するための手段)

本発明の演算増幅回路は、一対の入力端子と、そのおのおのに制御電極が接続されソース電極が共通に接続された第一の極性を有するトランジスタ対からなる第一の差動対と、前記第一の差動対と制御電極を共通にしソース電極を共通接続された第二の極性を有するトランジスタ対からなる第二の差動対と、第一の電圧源と、一端が前記第一の差動対の共通接続ソース電極に接続され他端が前記第一の電圧源に接続された第一の電流源と、第二の電圧源と、基準電圧源と、制御電極が前記基準電圧源に接続されソース電極が前記第一の差動対の共通接続ソース電極に接続された第一の極性を有するトランジスタと、このトランジスタのドレイン電極を入力とし前記第二の電圧源を基準

電極とし出力を前記第二の差動対の共通接続ソース電極に接続された第一の電流ミラー回路と、前記第一の差動トランジスタ対の一方のドレイン電極を入力とし前記第二の電圧源を基準電極とし前記第二の差動トランジスタ対のうち制御電極を具にするトランジスタのドレイン電極に出力が接続された第二の電流ミラー回路と、前記第二の差動トランジスタ対の他方のドレイン電極を入力とし前記第一の電圧源を基準電極とし前記第一の差動トランジスタ対のうち制御電極を具にするトランジスタのドレイン電極に出力が接続された第三の電流ミラー回路と、一端が前記第二の電流ミラー回路に接続され他端が第一の電圧源に接続された定電流源、この定電流源と並列にダイオード接続された第一の極性を有するトランジスタ、このトランジスタのソース電極と前記第一の電圧源との間に接続された抵抗からなる第一の負荷回路と、一端が前記第三の電流ミラー回路に接続され他端が第二の電圧源に接続された定電流源、この電流源と並列にダイオード接続された第二の極性を有

カトランジスタの一方の入力端子に供給するとともに第二の差動増幅トランジスタ対の出力電流のもう一方を電流ミラーにより第一の差動増幅対のもう一方の出力電流と合成して次の増幅段である出力トランジスタのもう一方の入力端子に供給することにより、入力電圧範囲を電源電圧範囲いっばいに拡大できる。さらに、この回路は、出力端子には相補型のトランジスタによる駆動方式が実現されているから、出力に対する駆動能力が假れている。また、この演算増幅回路は、入出力電圧が電源電圧の中心付近にあるときに、回路がスイッチング動作をすることがないから、従来回路のようなスイッチング雑音も発生しない。

(実施例)

第1図は、MOS型集積回路上に実現される本発明の一実施例を示す回路図である。以下に、本図を参照して本発明の動作の詳細を説明する。この実施例では、第一の極性を有するトランジスタとしてNチャンネルMOSトランジスタを、第二の極性を有するトランジスタにはPチャンネルM

するトランジスタ、このトランジスタのソース電極と前記第二の電圧源との間に接続された抵抗からなる第二の負荷回路と、前記第一の負荷回路の出力に制御電極が接続され前記第一の電圧源にソース電極が接続された第一の極性を有する第一の出力トランジスタと、前記第二の負荷回路の出力に制御電極が接続され前記第二の電圧源にソース電極が接続されドレイン電極を前記第一の出力トランジスタと共通にする第二の極性を有する第二の出力トランジスタと、前記第一及び第二の出力トランジスタの共通ドレイン電極と前記第二および第三の電流ミラー回路との間にそれぞれ接続されている位相補償容量とから成立っている。

(作用)

本発明の回路は、第二の差動増幅トランジスタ対が正常動作の範囲を超え回路電流が減少する時、その減少分を第一の差動増幅トランジスタ対が増幅を受持ち、第一の差動増幅トランジスタ対の出力電流の一方を電流ミラーにより第二の差動増幅対の出力電流と合成して次の増幅段である出

OSトランジスタを用いている。第1図の回路は、入力端子1、2にそれぞれゲート電極を接続されソース電極を共通接続されたMN1およびMN2からなる第一の差動対と、ゲート電極をそれぞれ入力端子1、2に接続されソース電極を共通接続されたMP1およびMP2からなる第二の差動対と、ドレイン電極が第一の差動対の共通ソースに接続され、ソース電極が第一の電圧源5に接続され、ゲート電極がMN13、MP12およびMP11からなる定電流源、並びにMN11およびMN12からなる基準電圧源と、この基準電圧源により作られる第一および第二の基準電圧のうち第二の基準電圧に接続されてできる定電流源MN3とを有している。さらに、第1図の回路は、前記第一の差動対のドレイン電極対のうちMN2のドレイン電極を入力とし第二の電圧源4を基準電極とし、第二の差動トランジスタ対のうちMP1のドレイン電極を出力とするMP5およびMP6からなる第二の電流ミラー回路を有している。また、第1図の回路は、前記第二の差動対のドレイン電極対

のうちMP2のドレイン電極を入力とし第一の電圧源5を基準電極とし、第一の差動トランジスタ対のうちMN1のドレイン電極を出力とするMN5およびMN6からなる第三の電流ミラー回路を有している。さらに、第二の電流ミラー回路の出力には、前記第二の基準電圧によりバイアスされた定電流トランジスタMN8と、これと並列にダイオード接続されたMN9と、これと直列に接続され抵抗として働くMN10からなる第一の負荷回路が接続されている。一方、第三の電流ミラー回路の出力には、前記基準電圧源により作られる第三の基準電圧によりバイアスされた定電流トランジスタMP8と、これと並列にダイオード接続されたMP9と、これと直列に接続され抵抗として働くMP10からなる第二の負荷回路が接続されている。このおのおのの負荷回路にはそれぞれプッシュプル増幅器として動作するMN7およびMP7が接続され、出力端子3とそれぞれの負荷回路には位相補償容量 C_{c1} および C_{c2} が接続されて演算増幅器を構成している。

ラー回路をとうして第一の負荷回路に流れて第二の差動対を流れる電流の減少を補償するよう合成される。したがって合成された電流値はそれぞれMN3に流れる電流値の半分で変わらない。同相電圧がさらに上昇して第一の基準電圧よりかなり高くなると、MN4はオフとなり、MN3の電流はすべてMN1とMN2に流れる。すなわちMN1とMN2を入力トランジスタとし、MN1に対してはそのまま第二の負荷回路に、MN2に対しては第二の電流ミラー回路をとうして第一の負荷回路に流れることで、差動増幅されるとともに入力同相電圧が低い場合と同様出力回路としてのプッシュプル段を駆動するのにそれぞれ最適な電位に設定される。

以上説明したようにこの回路は入力電圧として電圧源4の電圧まで十分動作する。さらに、前記二つの負荷回路を流れる電流は、入力同相電圧によらず一定であるので、前記二つの負荷回路を流れる電流の和は常にMN3にながれる電流と等しいことが保証されているから、入力電圧の変化に

本回路の動作は、まず同相入力電圧が電圧源5に加えられる電圧に近い場合から述べる。このときには、MN1およびMN2はオフとなるから定電流源MN3の電流はMN4を通してMP4に流れる。すると電流ミラー作用によりMP3にもMP4に流れる電流に等しい電流が流れる。入力電圧が端子1と2で等しい場合にはMP3に流れる電流の半分ずつがMP1とMP2に流れ、MP1とMP2を入力トランジスタとし、MP1にはそのまま第一の負荷回路を負荷とし、MP2に第三の電流ミラー回路を介して第二の負荷回路を負荷とする差動増幅器として動作するとともに出力回路としてのプッシュプル段を駆動するのにそれぞれ最適な電位に設定される。同相電圧が上昇すると、MN1およびMN2に電流が流れ始める。MN3を流れる電流は一定であるのでこの流れる電流値だけMP4に流れる電流、すなわち第二の差動対を流れる電流が減少する。MN1およびMN2に流れる電流は、MN1に対してはそのまま第二の負荷回路に、MN2に対しては第二の電流ミ

に対する動作の連続性が滑らかとなり、プッシュプル段でさらに電圧増幅を行なった際、従来技術のようなスイッチング雑音が発生することもない。

本実施例の構造でNチャンネルMOSトランジスタとPチャンネルMOSトランジスタを入替えてもよい。また、MOSトランジスタをバイポーラトランジスタと置換えることもできる。バイポーラトランジスタを用いる場合には、望ましくは電圧源4および電圧源5に直接接続されるエミッタ電極にはエミッタ電極と電圧源の間に数十オームから数百オームの抵抗を直列に接続するのがよい。

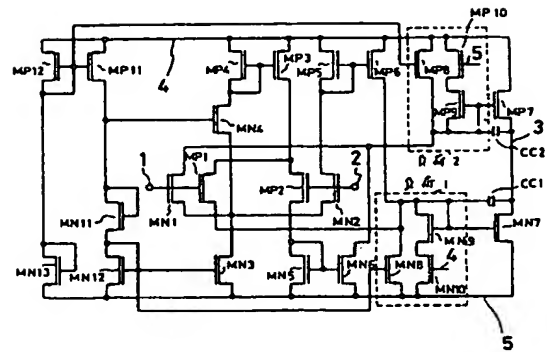
(発明の効果)

本発明の回路によれば従来MOS技術によれば不可能であった電源電圧一杯までの動作が可能となる。さらに、バイポーラの従来技術では動作モードが切り変わる時スイッチング雑音の発生することが避けられなかったが、本発明によればその雑音は発生しない。

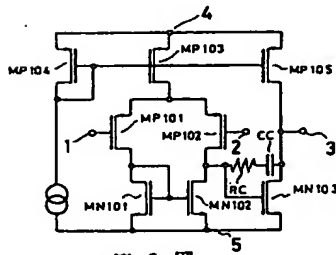
4. 図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は従来一般的に用いられていたCMOS演算増幅回路の回路図、第3図は入力範囲を第2図より広げた従来技術によるCMOS演算増幅回路の回路図、第4図は入力範囲が電源電圧一杯まで取れる公知のバイポーラ演算増幅回路の回路図、第5図は出力駆動能力の高い公知のCMOS演算増幅回路の回路図である。

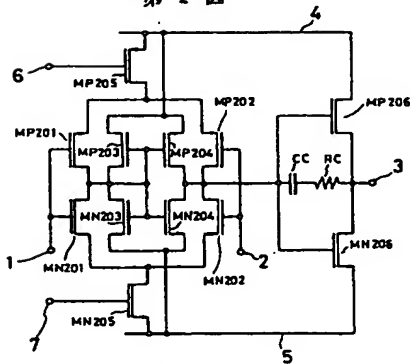
代理人 弁理士 本庄伸介



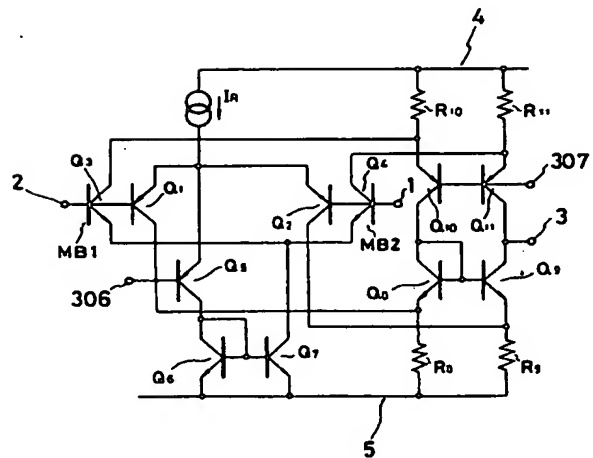
第1図



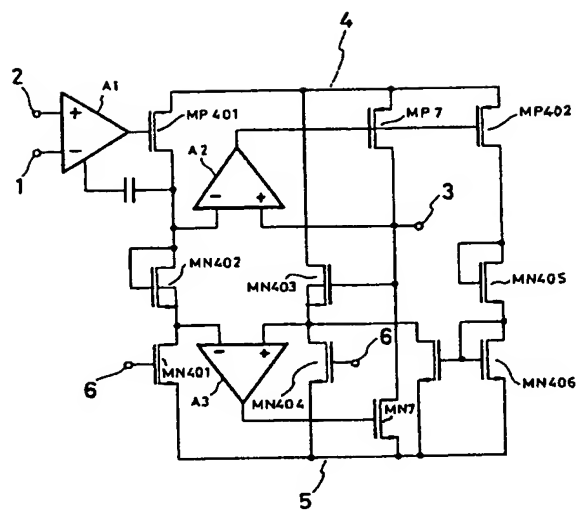
第2図



第3図



第4図



第 5 図